

91A-03305

中華民國81年8月10日

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 10 日
Application Date

申請案號：092100494
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日
Issue Date

發文字號：09220814610
Serial No.

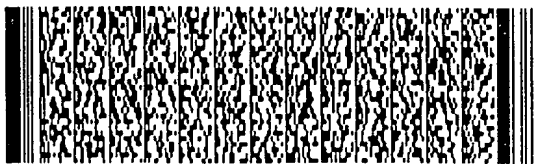
91A-033TW

申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	濾波電路
	英文	
二、 發明人 (共4人)	姓名 (中文)	1. 李朝政 2. 黃睿政 3. 蔡瑞原
	姓名 (英文)	1. Chao-Cheng LEE 2. Huang Jui-Cheng 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹科學園區工業東九路二號 2. 新竹市武陵路179巷12號13F-4 3. 台南市金華路1段475巷30號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1.



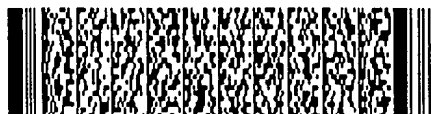
0683-8781TW-(a1)-91A-33-robert.prd

申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 王文祺
	姓 名 (英 文)	4. Wen-Chi WANG
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 雲林縣西螺鎮新豐里225號
	住 居 所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：濾波電路)

一種濾波電路，包括加法器以及積分電路。加法器係用以接收輸入電壓以及輸出電壓，並根據輸出電流信號。積分電路係耦接於加法器，用以輸出上述輸出電壓，包括運算放大器，具有耦接至接地點之正相輸入端、反相輸入端以及輸出端，電阻性負載裝置以及電容，電容係耦接於輸出端以及反相輸入端之間，而電阻性負載裝置係耦接於反相輸入端以及加法器之間。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

31 ~ 梯型電阻網路

30 ~ 加法器

32 ~ 積分電路

33 ~ 電容

34 ~ 回授電路

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：濾波電路)

R_{21} 、 R_{22} 、 R_{in1} 、 R_{in2} 、 R_{in3} ~ 電阻

I_o ~ 電流

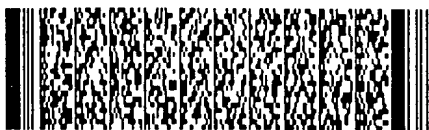
OP1、OP2、OP3 ~ 運算放大器

V_i ~ 輸入電壓

V_f ~ 回授電壓

V_o ~ 輸出電壓

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種濾波電路，特別是有關於一種在積體電路架構下，具有非常低截止頻率之低通濾波電路。

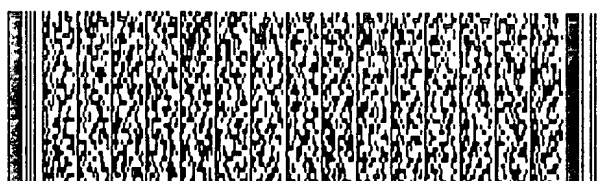
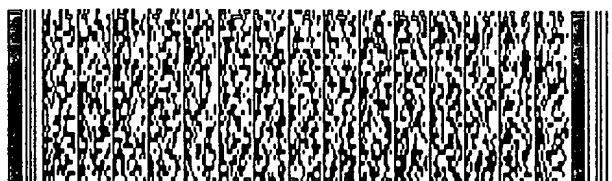
[先前技術]

濾波器在通訊系統中係常用的元件之一。濾波器具有調整波形、抑制諧波發射、降低系統鏡像雜訊之功能。近年來，在可攜式行動通訊設備中，對於小體積、高品質的濾波器有著殷切需求。

第1圖係顯示傳統低通濾波電路之電路圖。如第1圖所示，藉由調整電阻 $R1$ 及電容 $C1$ 即可得到所需之截止頻率，其中，截止頻率之值為 $1/(R1 * C1)$ 。若要將截止頻率設定為 10Hz 時，電阻 $R1$ 與電容 $C1$ 之乘積應為 $1/(2 * \pi * 10)$ 。若使用積體電路中合理之電容值 10Pf 作為電容 $C1$ 之電容值，則電阻 $R1$ 之阻值必須為 1592Meg 。然而，要在積體電路中，製造具有上述電阻值之電阻是相當不經濟的。若以積體電路中，可於單位面積產生最大電阻值之 N 型井為例，所需之面積即高達 $1262\mu * 1262\mu\text{m}^2$ ，甚至比整個核心電路面積還大。因此，在積體電路之電阻或電容值的限制下，傳統低通濾波電路之截止頻率無法達到理想之低值，影響了傳統低通濾波電路之濾波效果。

[發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種低通濾波電路，利用梯型電阻網路來有效減少低頻濾波電路所需之電阻。



五、發明說明 (2)

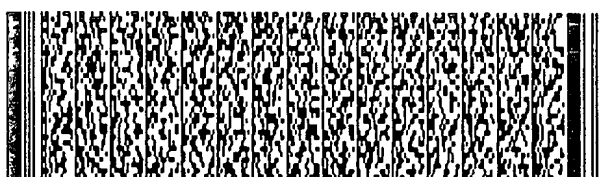
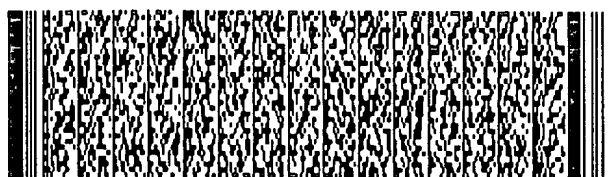
為獲致上述之目的，本發明提出一種濾波電路，包括加法器以及積分電路。加法器係用以接收輸入電壓以及輸出電壓而取得輸入電壓以及輸出電壓於各自對應比例之差值，並根據上述差值而輸出電流信號。積分電路係耦接於加法器，用以輸出上述輸出電壓，包括放大器，具有耦接至接地點之正相輸入端、反相輸入端以及輸出端，電阻性負載裝置以及電容，電容係耦接於輸出端以及反相輸入端之間，而電阻性負載裝置係耦接於反相輸入端以及加法器之間。

「實施方式」

實施例：

根據本發明實施例所述之低通濾波電路，係利用額外之負回授路徑以及梯型電阻網路來有效減少低頻濾波電路所需之電阻。以下介紹梯型電阻網路之電路結構及原理。

第2圖係顯示5階梯型電阻網路之電路結構圖。各電阻之電阻值可為非特定阻值之組合。但為了簡化說明，在此以電阻 (R_{10} 、 R_{11} 、 R_{13} 、 R_{15} 、 R_{17} 、 R_{19}) 之阻值為電阻 (R_{12} 、 R_{14} 、 R_{16} 、 R_{18}) 之兩倍為例。首先討論梯型電阻網路之等效電路。電阻 R_{10} 與 R_{11} 並聯後之阻值為 $1R$ ，與電阻 R_{12} 串聯後，等效阻抗為 $2R$ 。接著此等效阻抗再與 R_{13} 並聯，以此類推，因此當電流 I 自輸入點 V_{i1} 輸入後，於節點 20、22、24、26、28 上，兩電流路經之阻抗皆為 $2R$ ，因此於流經各節點時，電流量皆會減半，因此於各電阻之流量如第2圖所示。由於為5階梯型電阻網路，因此於輸出端



五、發明說明 (3)

Vol 輸出之電流量為 $I/2^5$ ，且此電流量會因為階數提高而減小。

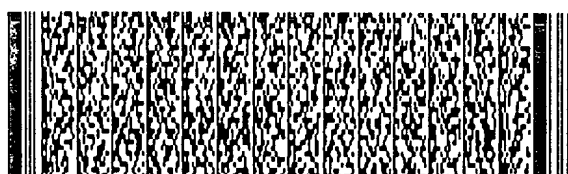
第3圖係顯示根據本發明實施例所述之低通濾波電路之電路圖。在本實施例中，除了加上負回授路徑外，更應用梯型電阻網路以實現具有良好低通特性之濾波器。

根據本發明實施例所述之低通濾波電路，包括加法器30以及積分電路32，而加法器30之輸入端以及積分電路32之輸出端之間係以回授電路34連接。

加法器30係用以於輸入端接收一輸入電壓 V_i 以及一回授電壓 V_f 而取得輸入電壓 V_i 以及回授電壓 V_f 之和，並根據相加結果而輸出一電流信號 I_o 。加法器30包括一運算放大器OP1，具有耦接至接地點之正相輸入端、反相輸入端以及用以輸出電流信號 I_o 之輸出端。電阻 R_{in2} 係耦接於運算放大器OP1之輸出端以及反相輸入端之間。輸出電流 I_o 之值為流經電阻 R_{in1} 與電阻 R_{in3} 電流之總和。

積分電路32係耦接於加法器30，用以輸出一輸出電壓 V_o 。積分電路32包括電阻性負載裝置31、電容33以及運算放大器OP2，具有耦接至接地點之正相輸入端、反相輸入端以及輸出端。電容33係耦接於運算放大器OP2之輸出端以及反相輸入端之間。

另外，電阻性負載裝置31為複數級梯型電阻網路，其電路結構如第2圖所示。各級梯型電阻網路（21、23、25、27、29）分別包括第一電流路徑與第二電流路徑，各自共同連接於同極之節點。第一級梯型電阻網路21係耦接

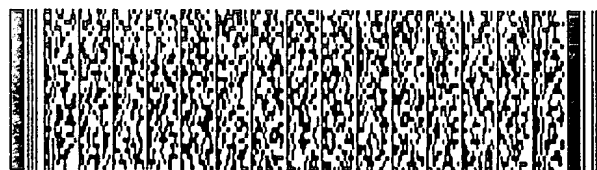
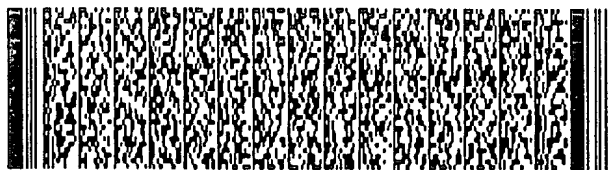


五、發明說明 (4)

於加法器30，最後一級梯型電阻網路29係耦接於運算放大器OP2之反相輸入端，各級梯型電阻網路之第一電流路徑係耦接於下一級梯型電阻網路之節點，而第二電流路徑皆耦接於接地點。

回授電路34係耦接於輸出端 V_o 以及運算放大器OP1之反相輸入端之間，用以將積分電路32之輸出信號 V_o 轉換為回授信號 V_f ，其中該輸出信號 V_o 與該回授信號 V_f 為反向。回授電路34包括運算放大器OP3，具有耦接至接地點之正相輸入端、耦接於輸出端 V_o 之反相輸入端以及耦接於運算放大器OP1之反相輸入端，並輸出回授信號 V_f 之輸出端。電阻R11係耦接於運算放大器OP2之輸出端以及運算放大器OP3之反相輸入端之間。電阻R12係耦接於運算放大器OP3之輸出端以及反相輸入端之間。

若電阻R21與R22阻值相同，則運算放大器OP3之作用係用來產生輸出電壓 V_o 的反相值。然而，電阻R21與R22之阻值也可根據回授條件而適當調整以得到所需之回授值，此值並藉由運算放大器OP1與輸入電壓 V_i 作相加，配合梯型電阻網路以及積分電路32，即可構成一階低通濾波器，其截止頻率之值為 $1/(R_{eq} \cdot C_1)$ ，其中 R_{eq} 為梯型電阻網路之等效電阻。由於根據本發明實施例所述之積分電路32係採用具複數級梯型電阻網路之電阻性負載裝置31，因此其等效電阻 R_{eq} 為 $R \cdot 2^N$ 。若以16級梯型電阻網路為例，單位電阻值僅需0.024Meg，而全部電阻加起來也僅需1.176Meg，相較於傳統直接使用電阻，僅需原來之1/1353



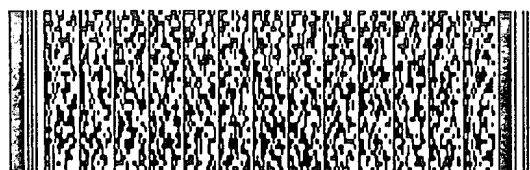
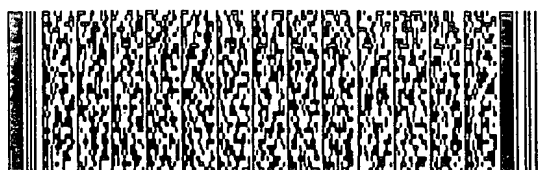
五、發明說明 (5)

倍即可達到相同之效果。

在本發明中，可利用一減法器來取代回授電路34以及加法器30。在本發明中，梯型電阻網路之第一電流路徑以及第二電流路徑上的電阻比例並不須限定為1：2，事實上，可以其他比例或隨機改變梯型電阻網路各電阻值，例如1：3或3：2等，只要是梯型電阻網路之級數為複數（至少為 π 型電阻網路），皆具有產生較大電阻阻值之效果。

綜上所述，利用梯型電阻網路之高等效阻抗特性來減少低頻濾波電路實際所需之電阻，突破了積體電路之電阻值的限制，使得根據本發明實施例所述之濾波電路之截止頻率達到理想之低值，改善了傳統濾波電路之濾波效果。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示傳統低通濾波電路之電路圖。

第2圖係顯示5階梯型電阻網路之電路結構圖。

第3圖係顯示根據本發明實施例所述之低通濾波電路之電路圖。

符號說明：

20、22、24、26、28～節點

21、23、25、27、29、31～梯型電阻網路

30～加法器

32～積分電路

33、C1～電容

34～回授電路

R1、R10、R11、R13、R15、R17、R19、R12、R14、
R16、R18、R21、R22、Rin1、Rin2、Rin3～電阻

I、I_o～電流

OP1、OP2、OP3～運算放大器

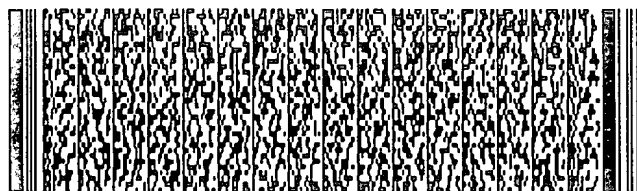
V_{i1}～輸入點

V_{o1}～輸出端

V_i～輸入電壓

V_f～回授電壓

V_o～輸出電壓



六、申請專利範圍

1. 一種濾波電路，包括：

一減法器，用以接收一輸入電壓以及一輸出電壓，並輸出一電流信號；以及

一積分電路，耦接於上述減法器，用以輸出上述輸出電壓，包括一第一放大器，具有耦接至接地點之一第一正相輸入端、一第一反相輸入端以及一第一輸出端、一電阻性負載裝置以及一電容，上述電容係耦接於上述第一輸出端以及上述第一反相輸入端之間，而上述電阻性負載裝置係耦接於上述第一反相輸入端以及上述減法器之間。

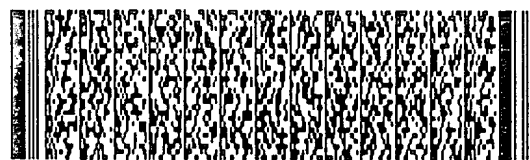
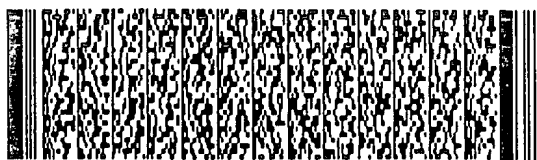
2. 如申請專利範圍第1項所述之濾波電路，其中上述電阻性負載裝置為複數級梯型電阻，各級梯型電阻包括一節點、一第一電流路徑與一第二電流路徑，該些梯型電阻之上述第一與第二電流路徑係共同連接於上述節點，各級梯型電阻之第一電流路徑係耦接於下一級梯型電阻之節點，而第二電流路徑係耦接於接地點，其中，上述第一級梯型電阻之節點係耦接於上述減法器，而最後一級梯型電阻之第一電流路徑係耦接於上述第一反相輸入端。

3. 如申請專利範圍第2項所述之濾波電路，其中上述第二電流路徑之阻抗為上述第一電流路徑之兩倍。

4. 如申請專利範圍第1項所述之濾波電路，其中上述減法器包括：

一加法器，用以接收該輸入電壓及一回授電壓，並輸出該電流信號；以及

一回授電路，用以接收該輸出電壓，並輸出該回授電



六、申請專利範圍

壓；

其中該輸出電壓與該回授電壓為反向。

5. 如申請專利範圍第4項所述之濾波電路，其中上述加法器包括：

一第二放大器，具有耦接至接地點之一第二正相輸入端、第二反相輸入端以及用以輸出上述電流信號之一第二輸出端；

一第一電阻，耦接於上述第二輸出端以及該第二反相輸入端之間；

一第二電阻，耦接於上述輸入電壓以及該第二反相輸入端之間；以及

一第三電阻，耦接於上述回授電壓以及該第二反相輸入端之間。

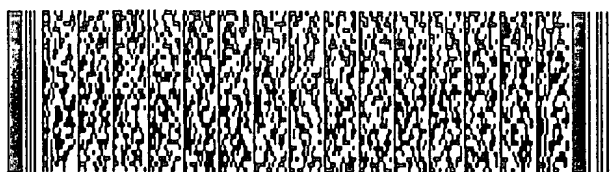
6. 如申請專利範圍第5項所述之濾波電路，其中該第一、第二及第三電阻之電阻值相同。

7. 如申請專利範圍第4項所述之濾波電路，其中上述回授電路包括：

一第三放大器，具有耦接至接地點之一第三正相輸入端、耦接於該輸出信號之一第三反相輸入端以及用以輸出上述回授信號之一第三輸出端；

一第四電阻，耦接於上述第一輸出端以及第三反相輸入端之間；以及

一第五電阻，耦接於上述第三輸出端以及第三反相輸入端之間。



六、申請專利範圍

8. 如申請專利範圍第7項所述之濾波電路，其中該第四及第五電阻之電阻值相同。

9. 如申請專利範圍第1項所述之濾波電路，其中上述電阻性負載裝置接受一第一電流，輸出一第二電流，其中該第一電流大於該第二電流。

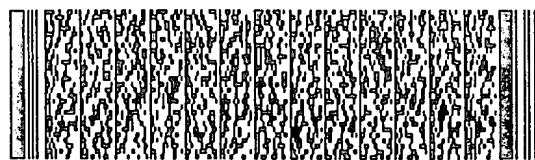
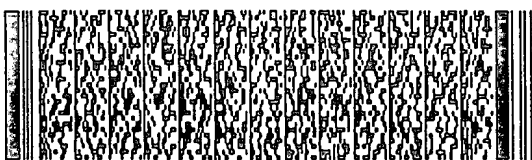
10. 如申請專利範圍第1項所述之濾波電路，其中上述電阻性負載裝置接受一第一電流，輸出一第二電流，其中該第一電流為該第二電流的倍數。

11. 一種濾波電路，包括：

一加法電路，用以接收一輸入電壓以及一輸出電壓，並輸出一電流信號；以及

一積分電路，耦接於上述加法器，用以輸出該輸出電壓，包括一第一放大器，具有耦接至接地點之一第一正相輸入端、一第一反相輸入端以及一第一輸出端、一電阻性負載裝置以及一電容，上述電容係耦接於上述第一輸出端以及上述第一反相輸入端之間，而上述電阻性負載裝置耦接於上述加法電路以及上述第一反相輸入端之間。

12. 如申請專利範圍第11項所述之濾波電路，其中上述電阻性負載裝置為複數級梯型電阻，各級梯型電阻包括一節點、一第一電流路徑與一第二電流路徑，該些梯型電阻之上述第一與第二電流路徑係共同連接於上述節點，各級梯型電阻之第一電流路徑係耦接於下一級梯型電阻之節點，而第二電流路徑係耦接於接地點，其中，上述第一級梯型電阻之節點係耦接於上述減法器，而最後一級梯型



六、申請專利範圍

電阻之第一電流路徑係耦接於上述第一反相輸入端。

13. 如申請專利範圍第11項所述之濾波電路，其中上述電阻性負載裝置接受一第一電流，輸出一第二電流，其中該第一電流大於該第二電流。

14. 如申請專利範圍第11項所述之濾波電路，其中上述電阻性負載裝置接受一第一電流，輸出一第二電流，其中該第一電流為該第二電流的倍數。

15. 如申請專利範圍第11項所述之濾波電路，其中該加法電路包括：

一加法器，用以接收該輸入電壓及一回授電壓，並輸出該電流信號；以及

一回授電路，用以接收該輸出電壓，並輸出該回授電壓。

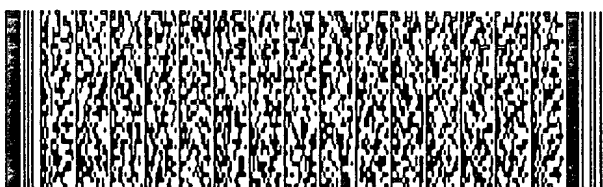
16. 如申請專利範圍第15項所述之濾波電路，其中上述加法器包括：

一第二放大器，具有耦接至接地點之一第二正相輸入端、第二反相輸入端以及用以輸出上述電流信號之一第二輸出端；

一第一電阻，耦接於上述第二輸出端以及第二反相輸入端之間；

一第二電阻，耦接於上述輸入電壓以及第二反相輸入端之間；以及

一第三電阻，耦接於上述回授電壓以及第二反相輸入端之間。



六、申請專利範圍

17. 如申請專利範圍第16項所述之濾波電路，其中該第一、第二及第三電阻之電阻值相同。

18. 如申請專利範圍第15項所述之濾波電路，其中上述回授電路包括：

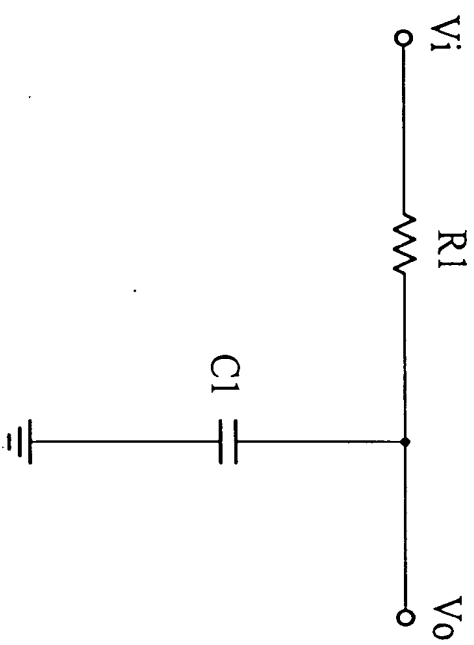
一第三放大器，具有耦接至接地點之一第三正相輸入端、耦接於上述輸出信號之第三反相輸入端以及輸出上述回授信號之第三輸出端；

一第四電阻，耦接於上述第一輸出端以及第三反相輸入端之間；以及

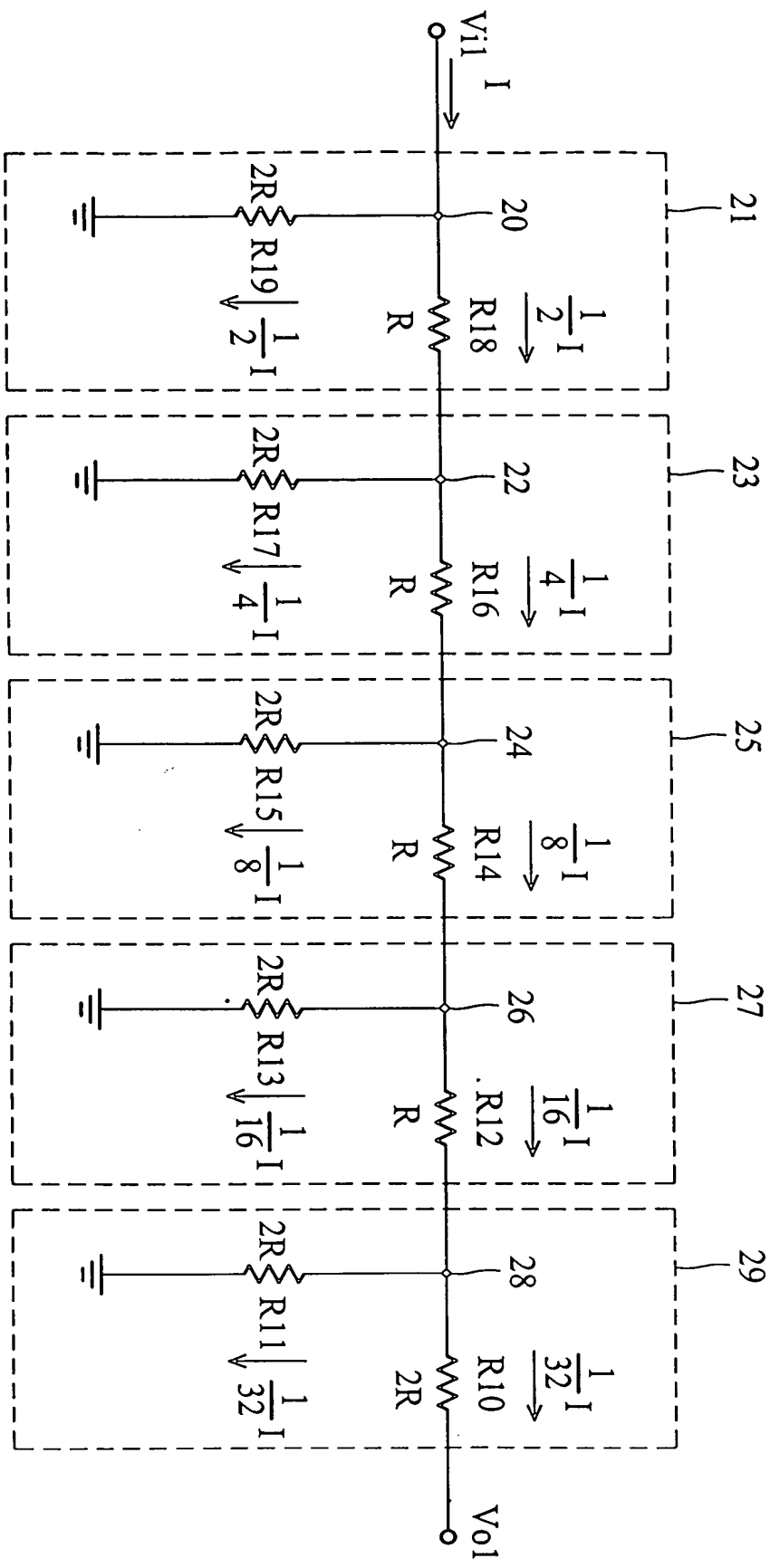
一第五電阻，耦接於上述第三輸出端以及第三反相輸入端之間。

19. 如申請專利範圍第18項所述之濾波電路，其中該第四及第五電阻之電阻值相同。20. 如申請專利範圍第12項所述之濾波電路，其中上述第二電流路徑之阻抗為上述第一電流路徑之兩倍。

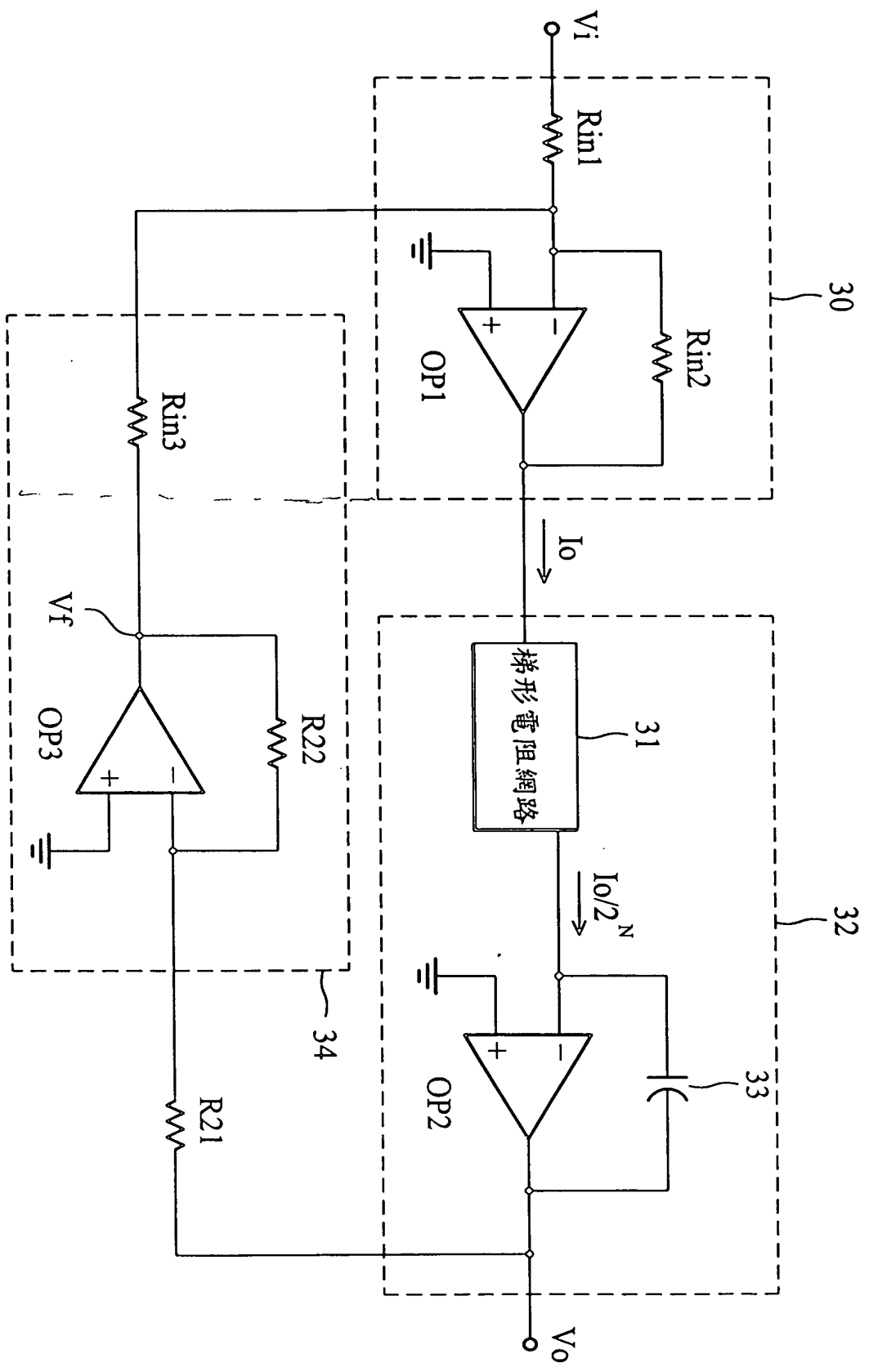




第 1 圖

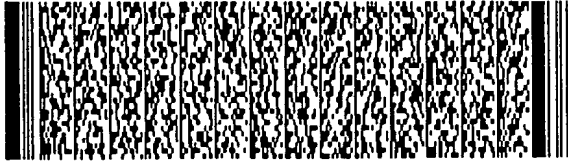


第 2 圖

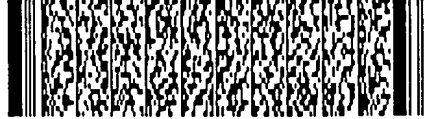


第3圖

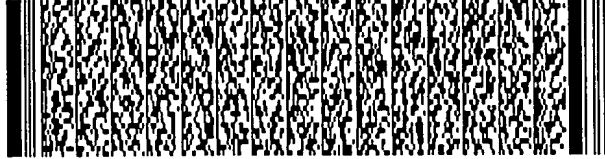
第 1/16 頁



第 2/16 頁



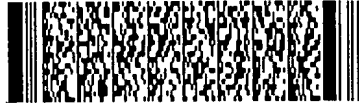
第 3/16 頁



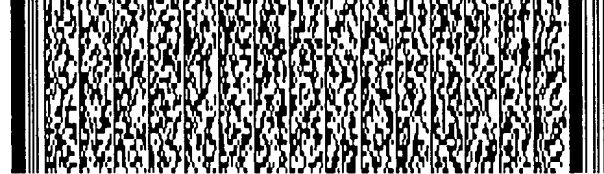
第 4/16 頁



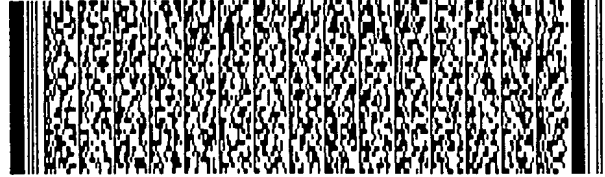
第 5/16 頁



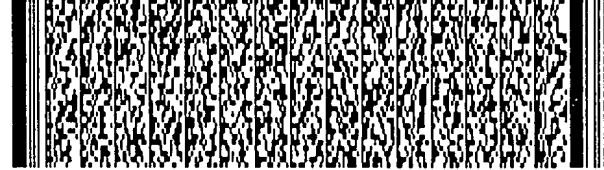
第 6/16 頁



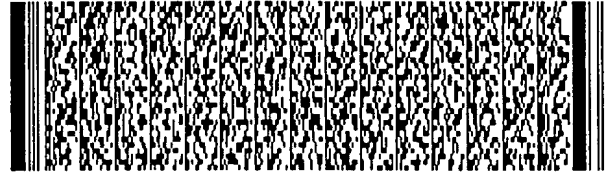
第 6/16 頁



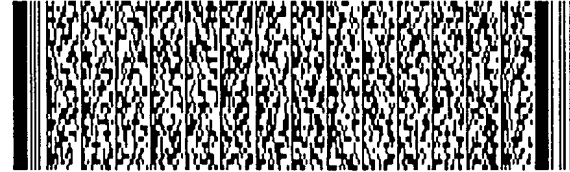
第 7/16 頁



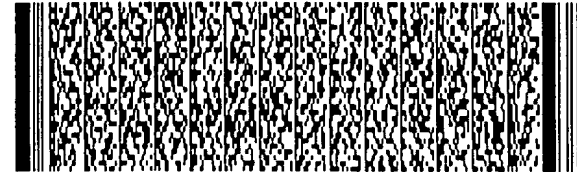
第 7/16 頁



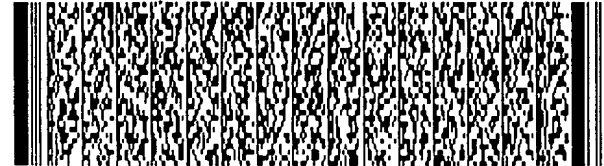
第 8/16 頁



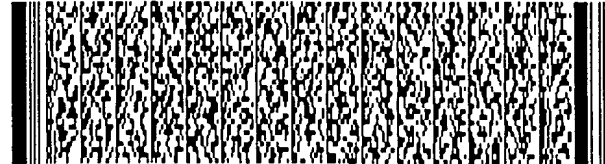
第 8/16 頁



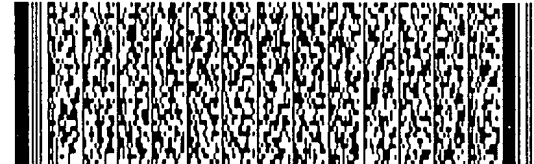
第 9/16 頁



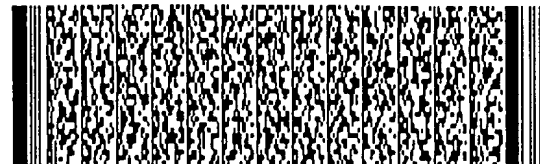
第 9/16 頁



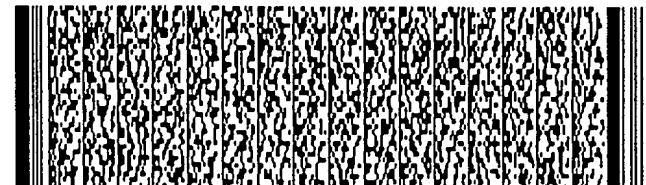
第 10/16 頁



第 10/16 頁



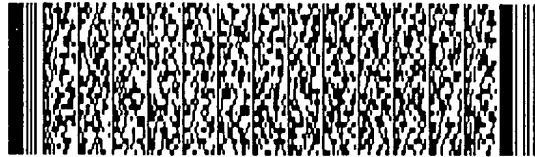
第 11/16 頁



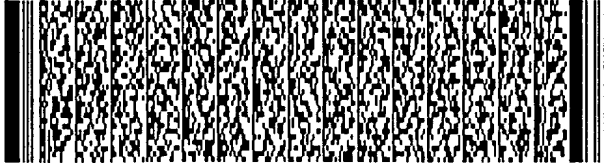
第 12/16 頁



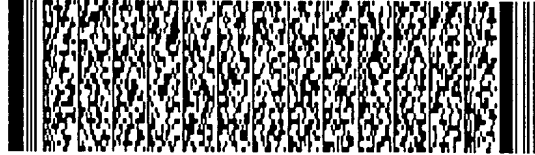
第 12/16 頁



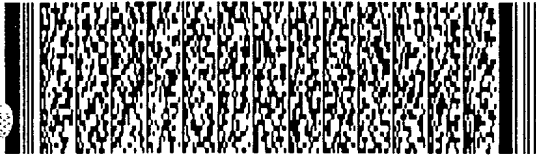
第 13/16 頁



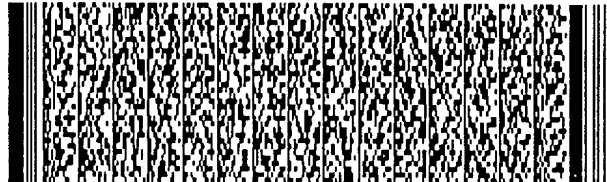
第 14/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

